

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 0 714 168 B1

(12)

EUROPEAN PATENT SPECIFICATION

(45) Date of publication and mention
of the grant of the patent:
29.08.2001 Bulletin 2001/35

(51) Int Cl.7: **H03K 19/00, H03K 5/151**

(21) Application number: **95308408.4**

(22) Date of filing: **23.11.1995**

(54) **Through currents minimisation in electronic circuits**

Querstrom-Minimierung in elektronischen Schaltungen

Réduction des courants transversal des circuits électroniques

(84) Designated Contracting States:
DE FR GB IT NL

(30) Priority: **23.11.1994 US 344199**

(43) Date of publication of application:
29.05.1996 Bulletin 1996/22

(73) Proprietor: **Texas Instruments Incorporated**
Dallas, Texas 75251 (US)

(72) Inventors:
• **Salamina, Nicolas**
Sachse, Texas 75048 (US)
• **Hastings, Roy A.**
Allen, Texas 75002 (US)

(74) Representative:
Legg, Cyrus James Grahame et al
ABEL & IMRAY,
20 Red Lion Street
London WC1R 4PQ (GB)

(56) References cited:
EP-A- 0 053 014 **EP-A- 0 089 441**

- **PATENT ABSTRACTS OF JAPAN vol. 012, no. 007 (E-571), 9 January 1988 & JP 62 166615 A (SANYO ELECTRIC CO LTD), 23 July 1987,**
- **PATENT ABSTRACTS OF JAPAN vol. 014, no. 338 (E-0954), 20 July 1990 & JP 02 114718 A (NEC CORP), 26 April 1990,**
- **PATENT ABSTRACTS OF JAPAN vol. 006, no. 123 (E-117), 8 July 1982 & JP 57 050133 A (CITIZEN WATCH CO LTD), 24 March 1982,**
- **PATENT ABSTRACTS OF JAPAN vol. 013, no. 453 (E-831), 11 October 1989 & JP 01 176117 A (ASAHI KASEI MICRO SYST KK), 12 July 1989,**

Note: Within nine months from the publication of the mention of the grant of the European patent, any person may give notice to the European Patent Office of opposition to the European patent granted. Notice of opposition shall be filed in a written reasoned statement. It shall not be deemed to have been filed until the opposition fee has been paid. (Art. 99(1) European Patent Convention).

EP 0 714 168 B1

Description

FIELD OF THE INVENTION

[0001] This invention relates to electronic circuits and more particularly relates to control circuitry for driving output devices.

BACKGROUND OF THE INVENTION

[0002] When using totem pole output circuit configurations (sometimes called push-pull outputs) as illustrated in prior art circuit 99 of FIG. 1, one often encounters a phenomena called "shoot-through." Because two transistors are driven in unison, there is a short period of time during which both transistors are conducting simultaneously. As is shown in FIG. 1a, as the gate voltage drops from V_{cc} to ground, M1 gradually turns on as M2 is gradually turning off. During the time when the gate voltage is at an intermediate level, a pulse of current passes from supply V_{cc} through M1 and M2 to circuit ground. This pulse of current is known as "shoot-through" or "through current."

[0003] Because transistors in totem pole output configurations are designed for minimum on resistance, "through currents" can exceed the working current levels in a circuit. For example, a 1A totem pole circuit could see "through currents" of 5A. Although "shoot through" pulses are narrow, substantial efficiency losses may result if the currents are substantially large. Losses in efficiency are unacceptable in micro-power applications. In addition, the lost power is dissipated in the output transistors and requires larger heat sinks which are costly in applications that require space-efficient packaging.

[0004] In addition to lost efficiency, "through currents" may cause premature device failures which cause reliability problems. "Through currents" also produce substantial noise which may result in erratic circuit operation and undesired RF/EMI (radio frequency interference/electromagnetic interference) problems.

[0005] There are several prior art approaches to controlling through currents. One prior art solution uses external resistive limiting. Unfortunately, this solution only reduces, but does not eliminate "through currents." A resistor is a lossy element and thus adds dissipation losses of its own, thus reducing efficiency.

[0006] Another prior art solution to "through currents" involves inductive snubbing, which eliminates the "through currents." However, the inductive elements reduce the circuit's performance and require extra external components which are undesirable.

[0007] Yet another prior art solution uses non-overlapping timing signals. In this solution each of the transistors in the totem pole output are driven with a different signal, created by a non-overlapping clock generator as illustrated in prior art FIG. 2. This is often called a "break-before-make" configuration because one transistor is

assured to be non-conducting before the other transistor begins conduction. The problems with this solution is that "dead time" introduced by the non-overlapping clock generator diminishes the circuit's performance. Additionally, the "dead time" must be made long enough to operate without "through currents" under worst case process conditions. Such guardbanding reduces circuit performance.

[0008] Still another prior art solution utilizes the concept of non-overlapping timing signals in adaptive "dead time" controllers. These circuits compute the duration of "dead time" by monitoring the voltage waveforms so that only the minimal "dead time" necessary is inserted to prevent "through currents" from occurring. The solution has been to use a comparator circuit to detect voltage levels of the driving transistor as shown in prior art FIG. 3, but this solution requires DC quiescent current. DC quiescent current, even at low levels, is unacceptable for many applications such as portable applications requiring battery operated equipment or any other micro-power application.

[0009] It is an object of this invention to provide a "break-before-make" adaptive "dead time" output control circuit that is independent of output loading and requires no DC quiescent current and no external components. Other objects and advantages of the invention will become apparent to those of ordinary skill in the art having reference to the following specification together with the drawings herein.

[0010] JP 62 166615A, JP 02 114718A and JP 57 050133A each disclose a CMOS output driver that prevents both of the transistors of the output driver from being turned on at the same time when the output of the circuits changes from one state to another. They each disclose coupling the gate input of the PMOS and NMOS transistors of the output driver to control circuits for the NMOS and PMOS transistors respectively. The control logic for the PMOS transistor having a lower voltage threshold than that for the NMOS transistor, thereby ensuring that during output transitions, both transistors are turned off for a brief period of time.

SUMMARY OF THE INVENTION

[0011] A low power, break-before-make output circuit includes a push-pull output transistor pair, a control means coupled to control terminals of the output transistor pair, and comparing means coupled to the control terminals of the output transistor pair and the control means. The comparing means compares voltages at the control terminals of the output transistor pair to predetermined voltage levels and communicates the comparison to the control means which manipulates the voltages at the control terminals of the output transistor pair in response to the comparison without any static power dissipation, thereby ensuring that a first transistor of the output transistor pair is not conducting before a second transistor of the output transistor pair begins to conduct.

BRIEF DESCRIPTION OF THE DRAWINGS

[0012] FIG. 1 is a schematic diagram illustrating a prior art totem pole output circuit 11.

[0013] FIG. 1a is a graph illustrating "shoot-through" current in prior art totem pole output circuit 11 of FIG. 1.

[0014] FIG. 2 is a combined graph and schematic diagram illustrating a prior art adaptive "dead time" control circuit 13.

[0015] FIG. 3 is a combined block diagram/schematic diagram illustrating in greater detail a prior art adaptive "dead time" control circuit 10 for decreasing shoot-through current.

[0016] FIG. 4 is an embodiment of the invention, an adaptive "dead time" control circuit utilizing comparators 16 and 18 of FIG. 7.

[0017] FIG. 5 is a logic diagram illustrating control circuit 20 of FIG. 4.

[0018] FIG. 5a is a logic diagram illustrating control circuit 22 of FIG. 4.

[0019] FIG. 6 is a timing diagram illustrating the timing relationships of various nodes in comparator circuit 10 of FIG. 4 utilizing novel comparators 16 and 18 of FIG. 7.

[0020] FIG. 7 is a combined block diagram/schematic diagram illustrating the preferred embodiment of the invention, comparators 16 and 18 which may operate in comparator circuit 10 in FIG. 4 to produce adaptive "dead time" control with zero static (quiescent) current.

[0021] FIG. 8 is a combined block diagram/schematic diagram illustrating an alternative embodiment of the invention, comparators 16 and 18 which may be used in circuit 10 of FIG. 4.

[0022] FIG. 9 is a logic diagram illustrating control circuit 42 of FIG. 8.

DETAILED DESCRIPTION

[0023] FIG. 3 is a prior art combined block diagram/schematic diagram illustrating an adaptive "dead time" control circuit 11 for decreasing shoot-through current on power MOS switches. Circuit 11 utilizes standard, prior art comparators COMP1 and COMP2 and exhibits substantial power dissipation through quiescent current conduction through comparators COMP1 and COMP2 which is highly undesirable in micro-power applications.

[0024] FIG. 4 is a combined block diagram/schematic diagram illustrating a novel adaptive "dead time" control circuit 10 utilizing novel comparators 16 and 18. Although the description of the invention is in the context of power MOS switches it should be understood that the invention is not limited to power MOS applications, but is applicable to any totem pole (push-pull) output configuration using high input impedance (voltage driven) switches. A totem pole output transistor configuration exists in FIG. 4 with a PMOS transistor 12 connected in series with an NMOS transistor 14 between a voltage source Vcc and circuit ground. The output transistors 12 and 14 may be either internal or external devices (inte-

grated onto the same substrate or may be independent). A first control circuit 20 is connected to a gate terminal of PMOS transistor 12 and an input of a first comparator 16. First control circuit 20 also is connected to a digital input HSDin(bar) and to an output of a second comparator 18. A second control circuit 22 is connected to a gate terminal of NMOS transistor 14 and an input of second comparator 18. Second control circuit 22 also is connected to a digital input LSDin and an output of first comparator 16.

[0025] FIG. 5 is a logic diagram illustrating an embodiment of first control circuit 20 of FIG. 4. First control circuit 20 has a NOR gate 24 having a first input connected to digital input HSDin(bar) and a second input connected to the output of second comparator 18 (NODE1). An output of NOR gate 24 is connected to an input of an inverting power driver 26. Inverting power driver 26 has an output which forms the output (P-gate) of first control circuit 20 and is connected to the gate terminal of PMOS transistor 12.

[0026] FIG. 5a is a logic diagram illustrating an embodiment of second control circuit 22 of FIG. 4. Second control circuit 22 has a NAND gate 28 having a first input connected to digital input LSDin and a second input connected to the output of first comparator 16 (NODE2). An output of NAND gate 28 is connected to an input of an inverting power driver 30. Inverting power driver 30 has an output which forms the output (N-gate) of second control circuit 22 and is connected to the gate terminal of NMOS transistor 14.

[0027] FIG. 6 is a timing diagram illustrating the voltage waveform timing relationship between various nodes in comparator circuit 10 of FIG. 4. The voltage waveforms illustrated are digital inputs HSDin(bar) and LSDin, the gate terminal voltages of PMOS transistor 12 and NMOS transistor 14 (P-gate and N-gate) and the outputs of comparators 16 and 18 (NODE1 and NODE2).

[0028] FIG. 7 is a combined block diagram/schematic diagram illustrating novel comparators 16 and 18 within circuit 10 of FIG. 4. Both comparator 16 and comparator 18 have the same internal circuitry with their only difference being where their output is taken. Comparator 16 has its output taken from an output of inverter 50 while comparator 18 has its output taken from an output of inverter 48. Both comparators 16 and 18 have an input connected to a gate terminal of a PMOS transistor M1 and an input connected to a gate terminal of an NMOS transistor M4. M1 is connected in series between a first resistor R1 (which in turn is connected to a supply voltage Vcc) and a second resistor R2. An NMOS transistor M2 is connected in series between R2 and circuit ground. M4 is connected in series between a third resistor R3 and a fourth resistor R4 which in turn is connected to circuit ground. A PMOS transistor M3 is connected in series between R3 and supply voltage Vcc. The junction between M1 and R2 is connected to inverter 50 which in turn is connected to a gate terminal of M3.

The junction between R3 and M4 is connected to inverter 48 which in turn is connected to a gate terminal of M2. Comparators 16 and 18 of FIG.4 and shown in detail in FIG.7 develop their trip points internally and have no need of a second input.

[0029] FIG.8 is a combined block diagram/schematic diagram illustrating comparators 16 and 18 of FIG.4. Both comparator 16 and comparator 18 have the same internal circuitry. Both comparators 16 and 18 have an input connected to a gate terminal of a PMOS transistor M1 and to a gate terminal of an NMOS transistor M4. M1 is connected in series between a first resistor R1 (which in turn is connected to a supply voltage V_{cc}) and a second resistor R2. An NMOS transistor M2 is connected in series between R2 and circuit ground. M4 is connected in series between a third resistor R3 and a fourth resistor R4 which in turn is connected to circuit ground. A PMOS transistor M3 is connected in series between R3 and supply voltage V_{cc} . A first inverter 46 has an input coupled to a source terminal of M1 and is connected in series with a second inverter 44 which in turn is connected to a third control circuit 42. Inverter 44 also is connected to a third inverter 50 which in turn is connected to a gate terminal of M3. A fourth inverter 52 has an input coupled to a drain terminal of M4 and is connected in series with a fifth inverter 54 which in turn is connected to third control circuit 42. Inverter 54 also is connected to a sixth inverter 48 which in turn is connected to a gate terminal of M2. As stated for FIG.7, comparators 16 and 18 develop their trip points internally and have no need of a second input.

[0030] FIG.9 is a logic diagram illustrating third control circuit 42 of FIG. 8. Third control circuit 42 has a NOR gate 72 having a first input connected to the output of inverter 54 of FIG.8 and a second input that is connected to an output of a second NOR gate 76. NOR gate 72 has an output that forms the output of third control circuit 42 and also forms a first input to NOR gate 76. An inverter 74 has an input connected to the output of inverter 44 of FIG.8 and an output that forms the second input of NOR gate 76.

[0031] The following is a functional description of the invention of FIG.7 within circuit 10 of FIG.4. In this description of circuit 10 of FIG.4, digital control inputs HSDin(bar) and LSDin are connected together. However circuit 10 could operate with HSDin(bar) and LSDin operating independently. When HSDin(bar) (and therefore LSDin) goes high and NODE1 is low, the output of first control circuit 20, the gate terminal of PMOS transistor 12 (hereinafter called P-gate) goes high as shown in FIG.6 (point 1). The slope of P-gate is less than that of HSDin(bar) because of the substantial gate capacitance of PMOS transistor 12. At some predetermined voltage level (called trip point A) the output of first control circuit 20 triggers comparator 16. The value of trip point A is able to be manipulated by the designer and will be discussed in conjunction with FIG.7. When comparator 16 triggers, its output (NODE2) goes high (point X of FIG.

6). The digital input combination of NODE2 being high and LSDin being high causes the output of second control circuit 22, the gate terminal of NMOS transistor 14 (hereinafter called N-gate) to go high. The value of trip point A (see point 2 of FIG.6) should be set greater than the difference between V_{cc} and the threshold voltage (V_{tp}) of PMOS transistor 12 ($V_{cc}-V_{tp}$) to ensure that PMOS transistor 12 is off before NMOS transistor 14 is turned on.

[0032] Similar to the slope of P-gate, the slope of N-gate is less than that of NODE2 because of the substantial gate capacitance of NMOS transistor 14. When N-gate reaches a predetermined voltage level the output (NODE1) of second comparator 18 triggers and goes high. The combination on NODE1 being high and HSDin (bar) being high results in no change to the output of first control circuit 20 (P-gate); therefore P-gate remains high thereby ensuring PMOS transistor 12 stays off.

[0033] When HSDin(bar) and LSDin go low, NODE1 and NODE2 are still high. The combination of HSDin (bar) being low and NODE1 being high results in no change to the output of first control circuit (P-gate); therefore PMOS transistor 12 stays off. The combination of LSDin being low and NODE2 being high results in the output of second control circuit 22 (N-gate) going low (point 3 of FIG.6). When N-gate falls below trip point B the output of comparator 18 trips and NODE1 goes low (point Y of FIG.6). When NODE1 goes low, the combination of NODE1 being low and HSDin(bar) being low causes the output of first control circuit 20 (P-gate) to go low. PMOS transistor 12 will begin conducting when P-gate falls a threshold voltage (V_{tp}) below the supply voltage V_{cc} .

[0034] It is important to note that circuit 10 of FIG.4 exhibits a "break before make" circuit configuration provided that internal trip points (trip point A and trip point B of comparators 16 and 18) are set appropriately. For example, trip point A of comparator 16 should be set high enough to ensure that PMOS transistor 12 is off (not conducting) before comparator 16 triggers high. This can be done by setting trip point A above the difference between supply voltage V_{cc} and the threshold voltage (V_{tp}) of PMOS transistor 12 ($V_{cc}-V_{tp}$). Similarly, trip point B of comparator 18 should be set low enough to ensure that NMOS transistor 14 is off (not conducting) before comparator 18 triggers low. This can be done by setting trip point B below the threshold voltage (V_{tn}) of NMOS transistor 14.

[0035] The operation of comparator 16 of FIG.7, an embodiment of the invention, is now described in detail. Comparator 18 has the same schematic as comparator 16 except that resistor values and transistor sizings may differ depending upon the desired trip points and the output of comparator 18 is taken from a different node.

[0036] In FIG.7, when the input is low, M4 is off and M1 is on. When M1 is on, node N14' is pulled high and node N12' is pulled low through inverter 50. With N12' low, M3 is on, however no current is conducting through

M3 because M4 is off. When M3 is on, node N19' is pulled high thereby causing node N8' to be low, which means $OUT_P(18)$ is low.

[0037] As the input to comparator 16 transitions from low to high, comparator 16 goes through five phases of operation. In phase 1, the input voltage is less than the threshold voltage V_{t4} of M4. Therefore M4 remains off and the comparator requires no supply current. In phase 2, the input voltage exceeds V_{t4} and current begins to flow through M3, R3, M4 and R4. M4 now acts as a source follower, setting the current flow through R4, and so the voltage at node N19' is roughly equal to:

$$V(\text{node } 19') = V_{cc} - (R3/R4)(V_{in} - V_{gs_{M4}}).$$

[0038] Since $R3 = N \cdot R4$, where N is a constant, the equation above has a gain factor " N " that allows one to minimize the change in input voltage during phase 2.

[0039] In phase 3, the voltage at node N19' drops below the transition threshold for inverter 48, node N8' goes high, turning on M2. Now current begins to flow through R1, M1, R2 and M2. M1 acts as a source follower, setting the current flow through R1, and so the voltage at N14' is roughly equal to:

$$V(\text{node } 14') = (R2/R1)(V_{cc} - V_{in} - V_{gs_{M1}}).$$

[0040] Since $R2 = M \cdot R1$, where " M " is a constant, the equation above has a gain factor " M " that allows one to minimize the change in input voltage during phase 4 (to be discussed below).

[0041] In phase 4, the voltage at node N14' drops below the transition threshold for inverter 50, and node N12' goes high. This causes the output of comparator 16 to transition from low to high. Simultaneously, M3 is turned off. This stops current flow through M3, R3, M4 and R4. However, M4 remains on, and pulls N19' to ground, so the comparator's operation is unaffected. In phase 5, the input voltage continues to rise. Eventually it exceeds $(V_{cc} - V_{t_{M1}})$ where $V_{t_{M1}}$ is the threshold voltage of M1. Current now stops flowing through R1, M1, R2 and M2 and comparator 16 (or 18) stops drawing supply current.

[0042] The trip point (V_{trip16}) of comparator 16 is, as mentioned above, the point where the voltage on N14' crosses the transition threshold ($V_{trans50}$) of inverter 50. Therefore, this trip point is:

$$V_{trip16} = V_{cc} - V_{gs_{M1}} - (R1/R2)V_{trans50}.$$

where $R2/R1$ is equal to " M ". If " M " is made large, the last term in the above equation becomes small, and the threshold V_{trip16} moves closer to $V_{cc} - V_{gs_{M1}}$. By appropriately selecting the value of " M ", trip point A of comparator 16 in FIG.6 can be set as desired.

[0043] In a similar manner, the trip point (V_{trip18}) of comparator 18 is the point where the voltage on N19' crosses the transition threshold $V_{trans48}$ of inverter 48. Therefore, this trip point is:

$$V_{trip18} = (R4/R3)(V_{cc} - V_{trans48}) + V_{gs_{M4}}.$$

where $R3/R4$ is equal to " N ". If " N " is made large the first term in the above equation becomes small, and the threshold V_{trip18} moves closer to $V_{gs_{M4}}$. By appropriately selecting the value of " N ", trip point B of comparator 18 in FIG.6 can be set as desired.

[0044] The transition thresholds ($V_{trans48}$ and $V_{trans50}$) can be computed given the sizes of the transistors inside inverters 48 and 50. With this knowledge, resistors R1, R2, R3 and R4 can be set to provide desired thresholds V_{trip16} and V_{trip18} . By making " M " and " N " large (for example $M=N=9$), the thresholds are not only adjusted to desirable voltages, but the sensitivity of the thresholds to changes in transistor parameters in the inverters is minimized.

[0045] The following is a functional description of the invention with regard to FIG.8. In this description of circuit 10 of FIG.4, digital control inputs HSDin(bar) and LSDin are connected together. However circuit 10 could operate with HSDin(bar) and LSDin operating independently. When HSDin(bar) (and therefore LSDin) goes high and NODE1 is low, the output of first control circuit 20, the gate terminal of PMOS transistor 12 (hereinafter called P-gate) goes high as shown in FIG.6 (point 1). The slope of P-gate is less than that of HSDin(bar) because of the substantial gate capacitance of PMOS transistor 12. At some predetermined voltage level (called trip point A) the output of first control circuit 20 triggers comparator 16. The value of trip point A is able to be manipulated by the designer and will be discussed in conjunction with FIG.8. When comparator 16 triggers, its output (NODE2) goes high (point X of FIG.6). The digital input combination of NODE2 being high and LSDin being high causes the output of second control circuit 22, the gate terminal of NMOS transistor 14 (hereinafter called N-gate) to go high. The value of trip point A (see point 2 of FIG.6) should be set greater than the difference between V_{cc} and the threshold voltage (V_{tp}) of PMOS transistor 12 ($V_{cc} - V_{tp}$) to ensure that PMOS transistor 12 is off before NMOS transistor 14 is turned on.

[0046] Similar to the slope of P-gate, the slope of N-gate is less than that of NODE2 because of the substantial gate capacitance of NMOS transistor 14. When N-gate reaches a predetermined voltage level the output (NODE1) of second comparator 18 triggers and goes high. The combination on NODE1 being high and HSDin (bar) being high results in no change to the output of first control circuit 20 (P-gate); therefore P-gate remains high thereby ensuring PMOS transistor 12 stays off.

[0047] When HSDin(bar) and LSDin go low, NODE1

and NODE2 are still high. The combination of HSDin (bar) being low and NODE1 being high results in no change to the output of first control circuit (P-gate); therefore PMOS transistor 12 stays off. The combination of LSDin being low and NODE2 being high results in the output of second control circuit 22 (N-gate) going low (point 3 of FIG.6). When N-gate falls below trip point B the output of comparator 18 trips and NODE1 goes low (point Y of FIG.6). When NODE1 goes low, the combination of NODE1 being low and HSDin(bar) being low causes the output of first control circuit 20 (P-gate) to go low. PMOS transistor 12 will begin conducting when P-gate falls a threshold voltage (V_{tp}) below the supply voltage V_{cc} .

[0048] It is important to note that circuit 10 of FIG.4 exhibits a "break before make" circuit configuration provided that internal trip points (trip point A and trip point B of comparators 16 and 18) are set appropriately. For example, trip point A of comparator 16 should be set high enough to ensure that PMOS transistor 12 is off (not conducting) before comparator 16 triggers high. This can be done by setting trip point A above the difference between supply voltage V_{cc} and the threshold voltage (V_{tp}) of PMOS transistor 12 ($V_{cc} - V_{tp}$). Similarly, trip point B of comparator 18 should be set low enough to ensure that NMOS transistor 14 is off (not conducting) before comparator 18 triggers low. This can be done by setting trip point B below the threshold voltage (V_{tn}) of NMOS transistor 14.

[0049] The operation of comparator 16 of FIG.8, an embodiment of the invention, is now described in detail. Comparator 18 has the same schematic as comparator 16 except that resistor values and transistor sizings may differ depending upon the desired trip points.

[0050] In FIG.8, when the input is low, M4 is off and M1 is on. When M1 is on, node N14 is pulled high and node N12 is pulled low through inverters 44, 46 and 50. With N12 low, M3 is on, however no current is conducting through M3 because M4 is off. When M3 is on, node N19 is pulled high thereby causing node N11 to be high. Therefore, the logic values at the two inputs of third control circuit 42 (nodes N10 and N11) when the input is low is: N10 high and N11 high. When both inputs to third control circuit 42 are high the output is low.

[0051] As the input to comparator 16 transitions from low to high, comparator 16, again, goes through five phases of operation. In phase 1, the input voltage is less than the threshold voltage V_{t4} of M4. Therefore M4 remains off and the comparator requires no supply current. In phase 2, the input voltage exceeds V_{t4} and current begins to flow through M3, R3, M4 and R4. M4 now acts as a source follower, setting the current flow through R4, and so the voltage at node N19 is roughly equal to:

$$V(\text{node } 19) = V_{cc} - (R3/R4)(V_{in} - V_{gs_{M4}}).$$

[0052] Since $R3 = N \cdot R4$, where N is a constant, the equation above has a gain factor " N " that allows one to minimize the change in input voltage during phase 2.

[0053] In phase 3, the voltage at node N19 drops below the transition threshold for inverter 52, node N8 goes high, turning on M2. Inverters 48 and 54 provide additional gain, ensuring a sharp threshold for inverter 52. Now current begins to flow through R1, M1, R2 and M2. M1 acts as a source follower, setting the current flow through R1, and so the voltage at N14 is roughly equal to:

$$V(\text{node } 14) = (R2/R1)(V_{cc} - V_{in} - V_{gs_{M1}}).$$

[0054] Since $R2 = M \cdot R1$, where " M " is a constant, the equation above has a gain factor " M " that allows one to minimize the change in input voltage during phase 4 (to be discussed below).

[0055] In phase 4, the voltage at node N14 drops below the transition threshold for inverter 46, and node N12 goes high, turning M3 off. Inverters 44 and 50 provide additional gain, ensuring a sharp threshold for inverter 46. When node N12 goes high, current flow through M3, R3, M4 and R4 stops. However, M4 remains on, and pulls N19 to ground, so the comparator's operation is unaffected. In phase 5, the input voltage continues to rise. Eventually it exceeds ($V_{cc} - V_{t_{M1}}$), where $V_{t_{M1}}$ is the threshold voltage of M1. Current now stops flowing through R1, M1, R2 and M2 and comparator 16 (or 18) stops drawing supply current.

[0056] The trip point (V_{trip16}) of comparator 16 is, as mentioned above, the point where the voltage on N14 crosses the transition threshold ($V_{trans46}$) of inverter 46. Therefore, this trip point is:

$$V_{trip16} = V_{cc} - V_{gs_{M1}} - (R1/R2)V_{trans46},$$

where $R2/R1$ is equal to " M ". If " M " is made large, the last term in the above equation becomes small, and the threshold V_{trip16} moves closer to $V_{cc} - V_{gs_{M1}}$. By appropriately selecting the value of " M ", trip point A of comparator 16 in FIG.6 can be set as desired.

[0057] In a similar manner, the trip point (V_{trip18}) of comparator 18 is the point where the voltage on N19 crosses the transition threshold $V_{trans52}$ of inverter 52. Therefore, this trip point is:

$$V_{trip18} = (R4/R3)(V_{cc} - V_{trans52}) + V_{gs_{M4}},$$

where $R3/R4$ is equal to " N ". If " N " is made large, the first term in the equation above becomes small, and the threshold V_{trip18} moves closer to $V_{gs_{M4}}$. By appropriately selecting the value of " N ", trip point B of comparator 18 in FIG.6 can be set as desired.

[0058] The transition thresholds ($V_{trans46}$ and $V_{trans52}$)

can be computed given the sizes of the transistors inside inverters 46 and 52. With this knowledge, resistors R1, R2, R3 and R4 can be set to provide desired thresholds V_{trip16} and V_{trip18} . By making "M" and "N" large (for example $M=N=9$), the thresholds are not only adjusted to desirable voltages, but the sensitivity of the thresholds to changes in transistor parameters in the inverters is minimized.

[0059] Third control circuit 42 obeys the following truth table:

N10	N11	Output
1	0	Hold
0	0	1
1	1	0

where "Hold" indicates that control circuit 42 will "remember" (or hold) the previous state of the output. It is comprehended that any form of logic circuitry that provides the truth table above would fall within the scope of this invention. FIG.9 is a logic diagram illustrating a logic circuit 42 that will produce the truth table shown above. Third control circuit 42 allows the use of one output and a single circuit to generate the signals supplied to Node 1 and Node 2 of FIGs.4 and 6.

[0060] Comparators 16 and 18 of FIG.7 have several advantages over the prior art. Firstly, comparators 16 and 18, utilized within circuit 10 of FIG.4, prevent shoot-through current independently of capacitive loading. When the output of control circuits 20 and 22 have large capacitive loads, the gate terminals of PMOS transistor 12 and NMOS transistor 14 transition more slowly. However, circuit 10 does not "make" before it "breaks." Since the gate terminals of transistors 12 and 14 must cross either trip point A or trip point B before the other transistor conducts and since the trip points can be made to be above $V_{cc}-V_{tp}$ or below V_{tn} , it ensures that one transistor is off before the other transistor turns on. This can be achieved in a majority of applications because power MOSFETs often have threshold voltages which are deliberately set higher than those of the signal devices used in comparators 16 and 18. Even if the thresholds of the power transistors are equal to those of the signal transistors, this circuit can nearly eliminate through currents, for the time allowed for these currents to flow can be made very small by selecting large values for the gain factors "M" and "N" discussed above. Therefore a "break before make" configuration exists independent of capacitive loading.

[0061] Comparators 16 and 18 of FIG.7 also advantageously allows one to vary both the high trip point and the low trip point. The high trip point may be varied by simply altering the resistor ratios of R1 and R2 of comparator 16 while the low trip point may be varied by simply altering the resistor ratios of R3 and R4 of comparator 18. This allows circuit 10 of FIG.4 utilizing comparators 16 and 18 of FIG.7 to be portable across various

semiconductor processes that utilize MOS transistors having varying threshold voltages.

[0062] Another advantage of utilizing comparators 16 and 18 of FIG.7 within circuit 10 of FIG.4 is that circuit 10 draws supply current only during switching transients. More specifically, circuit 10 draws current only when $V_{tn} < V_{in} < V_{cc} - V_{tp}$, where V_{tn} is the threshold voltage of an NMOS transistor and V_{tp} is the threshold voltage of a PMOS transistor, as described in the description of the operation of comparator 16 of FIG.7. This greatly reduces power dissipation, thereby allowing circuit 10 to advantageously operate in myriads of micro-power applications. This reduction in power dissipation represents a substantial advantage over prior art solutions.

[0063] Comparators 16 and 18 of FIG. 8 are an alternative embodiment to that of FIG.7. The presence of multiple inverters 44, 46 and 50 and 48, 52 and 54 provide additional gain to sharpen the transition thresholds of the lead inverters, increasing the accuracy possible with this circuit configuration.

Claims

1. An output driver circuit comprising:

an output transistor pair comprising first and second transistors coupled together in series between a first and a second voltage potential operable to switch an output of the output driver circuit between the first and second voltage potentials;

first and second control circuits each having an output coupled to control terminals of the first and second transistors respectively and each having a first input coupled to first and second inputs of the output driver circuit respectively; first and second comparators each having an input coupled to the control terminal of the first and second transistors respectively and each having an output coupled to a second input of the second or first control circuits respectively; wherein:

the first and second comparators are respectively adapted to compare the voltages at the control terminals of the first and second transistors with predetermined voltage levels and communicate via an output the result of those comparisons to the second and first control circuits respectively; and

the first and second control circuits are arranged to manipulate the voltages at the control terminals of the first and second transistors under the influence of the outputs of the second and first comparators so

that when the output of the output driver circuit changes state, one transistor in the output transistor pair is turned off before the other transistor in the output transistor pair is turned on,

characterised in that the first or second comparator, or each of those, comprises:

an upper trip point circuit having a first input coupled to the input of that comparator, a second input, and an output;
a lower trip point circuit having a first input coupled to the input of the comparator, a second input coupled to the output of the upper trip point circuit, and an output coupled to the second input of the upper trip point circuit; and
wherein the output of the upper trip point circuit is responsive to its input rising above a predetermined voltage value, the output of the lower trip point circuit is responsive to the input rising above a predetermined voltage value, and one or both of the outputs of those trip point circuits is connected to the output of the comparator so as to influence the respective control circuit to ensure that when the output of the output driver changes state, one transistor in the output transistor pair is turned off before the other transistor in the output pair is turned off.

2. The output driver circuit of claim 1, wherein the output transistor pair comprises:

a PMOS transistor having a source terminal coupled to a first voltage source, a gate terminal coupled to the first control circuit and the first comparator, and a drain terminal; and
a NMOS transistor having a source terminal coupled to a second voltage source, a gate terminal coupled to the second control circuit and the second comparator, and a drain terminal coupled to the drain terminal of the PMOS transistor, wherein a junction between the drain terminals of the PMOS transistor and NMOS transistor forms an output of the output driver circuit.

3. The output driver circuit of claim 2 wherein the first voltage source has a voltage potential greater than the voltage potential of the second voltage source.
4. The output driver circuit of any preceding claim, wherein the first control circuit outputs a digital low value when the first input of the output driver circuit and the output of the second comparator are digital low values and outputs a digital high value otherwise.

5. The output driver circuit of any preceding claim, wherein the first control circuit comprises an OR gate.

6. The output driver circuit of any preceding claim, wherein the first control circuit comprises:

a dual input NOR gate having a first input coupled to the first input of the output driver circuit, a second input coupled to the output of the second comparator and an output; and
an inverter having an input coupled to the output of the dual input NOR gate and an output coupled to the control terminal of the first transistor in the output transistor pair.

7. The output circuit of any preceding claim, wherein the second control circuit outputs a digital high value when the second input of the output driver circuit and the output of the first comparator are a digital high value and outputs a digital low value otherwise.

8. The output driver circuit of any preceding claim, wherein the second control circuit comprises an AND gate.

9. The output circuit of any preceding claim, wherein the second control circuit comprises:

a dual input NAND gate having a first input coupled to the second input of the output driver circuit, a second input coupled to the output of the first comparator and an output; and
an inverter having an input coupled to the output of the NAND gate and an output coupled to the control terminal of the second transistor of the output transistor pair.

10. The output driver circuit of any preceding claim wherein the upper trip point circuit outputs a high digital value when the input rises above its predetermined voltage value and a low digital value otherwise and, the lower trip point circuit outputs a high digital value when the input rises above its predetermined voltage value and a low digital value otherwise.

11. The output driver circuit of any preceding claim wherein the first comparator comprises the said upper trip point circuit having its first input coupled to the input of the first comparator, a second input, and an output, and the said lower trip point circuit having its first input coupled to the input of the first comparator, a second input coupled to the output of the upper trip point circuit, and an output coupled to the second input of the upper trip point circuit;
and wherein the output of the upper trip point circuit forms the output of the first comparator.

12. The output driver circuit of any preceding claim wherein the second comparator comprises the said upper trip point circuit having its first input coupled to the input of the second comparator, a second input, and an output, and the said lower trip point circuit having its first input coupled to the input of the second comparator, a second input coupled to the output of the upper trip point circuit, and an output coupled to the second input of the upper trip point circuit;
and wherein the output of the lower trip point circuit forms the output of the second comparator.
13. The output circuit of any preceding claim wherein the upper trip point circuit comprises:
a first resistor connected between a first voltage source and a source terminal of a PMOS transistor;
the PMOS transistor having a gate terminal connected to the input of the comparator, and a drain terminal;
a second resistor connected between the drain terminal of the PMOS transistor and a drain terminal of an NMOS transistor;
the NMOS transistor having a gate terminal connected to the output of the lower trip point circuit, and a voltage source terminal connected to the second voltage source; and
an inverter having an input connected to the drain terminal of the PMOS transistor and an output of which forms and output of the upper trip point circuit.
14. The output driver circuit of any preceding claim, wherein the lower trip point circuit comprises:
a PMOS transistor having a source terminal connected to the first voltage source, a gate terminal connected to an output of the upper trip point circuit, and a drain terminal;
a first resistor connected between the drain terminal of the PMOS transistor and a drain terminal of an NMOS transistor;
the NMOS transistor having a gate terminal connected to the input of the first comparator, and a source terminal connected to a second resistor;
a second resistor connected between the source terminal of the NMOS transistor and the second voltage source; and
an inverter having an input to the drain of the NMOS transistor and an output which forms an output of the lower trip point circuit.
15. The output circuit of claim 13 or claim 14, wherein the inverter comprises a plurality of inverter elements.
16. The output circuit of any preceding claim, wherein the upper trip point circuit outputs a high digital value when its input rises above its predetermined voltage value and a low digital value otherwise and, the lower trip point circuit outputs a high digital value when its input rises above its predetermined voltage value and a low digital value otherwise; and
wherein the said comparator further comprises: a third control circuit coupled to the upper trip point circuit and the lower trip point circuit that outputs, as the output of the comparator, a high digital value when the upper trip point circuit and lower trip point circuit output high digital values, outputs a digital low value when the upper trip point circuit and lower trip point circuit output digital low values and maintains its digital value when the upper trip point circuit outputs a digital low value and the lower trip point circuit outputs a digital high value.
17. The output circuit of claim 16, wherein the third control circuit comprises:
a first dual input NOR gate having a first input coupled to the output of the lower trip point circuit, a second input and an output, wherein the output forms the output of the third control circuit;
a second dual input NOR gate having a first input coupled to the output of the first dual input NOR gate, a second input and an output coupled to the second input of the first dual input NOR gate; and
an inverter having an input coupled to the output of the upper trip point circuit and an output coupled to the second input of the second dual input NOR gate.
18. An output driver circuit comprising:
an output transistor pair comprising first and second transistors coupled together in series between a first and a second voltage potential operable to switch an output of the output driver circuit between the first and second voltage potentials;
first and second control circuits each having an output coupled to control terminals of the first and second transistors respectively and each having a first input coupled to first and second inputs of the output driver circuit respectively;
a comparator having an input coupled to the control terminal of the first or second transistors and having an output coupled to a second input of the second and first control circuits respectively;

wherein:

the comparator is adapted to compare the voltages at the control terminals of the first or second transistors with predetermined voltage levels and communicate via an output the result of those comparisons to the second and first control circuits respectively; and

the first and second control circuits are arranged to manipulate the voltages at the control terminals of the first and second transistors under the influence of the output of the comparator so that when the output of the output driver circuit changes state, one transistor in the output transistor pair is turned off before the other transistor in the output transistor pair is turned on,

characterised in that the comparator comprises

an upper trip point circuit having a first input coupled to the input of the comparator, a second input, and an output;

a lower trip point circuit having a first input coupled to the input of the comparator, a second input coupled to the output of the upper trip point circuit, and an output coupled to the second input of the upper trip point circuit; and wherein the upper trip point circuit outputs a digital high value when the input rises above a predetermined voltage, the lower trip point outputs a digital high value when the input rises above a predetermined voltage value, and the comparator further comprises:

a third control circuit coupled to the upper and lower trip point circuits that outputs, as the output of the comparator, a high digital value when the upper trip point circuit and lower trip point circuit output high digital values, outputs a digital low value when the upper trip point circuit and lower trip point circuit output digital low values and maintains its digital value when the upper trip point circuit outputs a digital low value and the lower trip point circuit outputs a digital high value.

19. The output circuit of claim 18, wherein the third control circuit comprises:

a first dual input NOR gate having a first input coupled to the output of the lower trip point circuit, a second input and an output, wherein the output forms the output of the third control circuit;

a second dual input NOR gate having a first input coupled to the output of the first dual input

NOR gate, a second input and an output coupled to the second input of the first dual input NOR gate; and

and an inverter having an input coupled to the output of the upper trip point circuit and an output coupled to the second input of the second dual input NOR gate.

Patentansprüche

1. Ausgangstreiberschaltung, mit:

einem Ausgangstransistorpaar, das einen ersten und einen zweiten Transistor umfaßt, die zwischen einem ersten und einem zweiten Spannungspotential miteinander in Reihe geschaltet und so betreibbar sind, daß sie ein Ausgangssignal der Ausgangstreiberschaltung zwischen dem ersten und dem zweiten Spannungspotential umschalten;

ersten und zweiten Steuerschaltungen, wovon jede mit einem Ausgang an Steueranschlüsse des ersten bzw. des zweiten Transistors angeschlossen ist und wovon jede mit einem ersten Eingang an erste bzw. zweite Eingänge der Ausgangstreiberschaltung angeschlossen ist;

einem ersten und einem zweiten Komparator, wovon jeder mit einem Eingang an den Steueranschluß des ersten bzw. des zweiten Transistors angeschlossen ist und wovon jeder mit einem Ausgang an einen zweiten Eingang der zweiten bzw. ersten Steuerschaltungen angeschlossen ist;

wobei:

der erste und der zweite Komparator jeweils so beschaffen ist, daß sie die Spannungen an den Steueranschlüssen des ersten und des zweiten Transistors mit vorgegebenen Spannungspegeln vergleichen und über einen Ausgang das Ergebnis dieser Vergleiche den zweiten bzw. ersten Steuerschaltungen mitteilen, und

die ersten und zweiten Steuerschaltungen so beschaffen sind, daß sie die Spannungen an den Steueranschlüssen des ersten und des zweiten Transistors unter dem Einfluß der Ausgangssignale des zweiten und des ersten Komparators in der Weise verändern, daß dann, wenn das Ausgangssignal der Ausgangstreiberschaltung seinen Zustand ändert, ein Transistor des Ausgangstransistorpaares sperrt, bevor

der andere Transistor des Ausgangstransistorpaares durchschaltet,

dadurch gekennzeichnet, daß der erste oder der zweite Komparator oder beide umfassen;

eine Schaltung für einen oberen Auslösepunkt, die mit einem ersten Eingang an den Eingang dieses Komparators angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt;

eine Schaltung für einen unteren Auslösepunkt, die mit einem ersten Eingang an den Eingang des Komparators angeschlossen ist, mit einem zweiten Eingang an den Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist und mit einem Ausgang an den zweiten Eingang der Schaltung für den oberen Auslösepunkt angeschlossen ist; und

wobei der Ausgang der Schaltung für den oberen Auslösepunkt darauf anspricht, daß ihr Eingangssignal über einen vorgegebenen Spannungswert ansteigt, der Ausgang der Schaltung für den unteren Auslösepunkt darauf anspricht, daß das Eingangssignal über einen vorgegebenen Spannungswert ansteigt, und einer der Ausgänge oder beide Ausgänge dieser Auslösepunkt-Schaltungen an den Ausgang des Komparators angeschlossen ist, um die jeweilige Steuerschaltung in der Weise zu beeinflussen, daß sichergestellt ist, daß bei einer Zustandsänderung des Ausgangssignals des Ausgangstreibers einer der Transistoren im Ausgangstransistorpaar sperrt, bevor der andere Transistor im Ausgangspaar sperrt.

2. Ausgangstreiberschaltung nach Anspruch 1, bei der das Ausgangstransistorpaar umfaßt:

einen PMOS-Transistor, der mit einem Source-Anschluß an eine erste Spannungsquelle angeschlossen ist, mit einem Gate-Anschluß an die erste Steuerschaltung und an den ersten Komparator angeschlossen ist und einen Drain-Anschluß besitzt; und

einen NMOS-Transistor, der mit einem Source-Anschluß an eine zweite Spannungsquelle angeschlossen ist, mit einem Gate-Anschluß an die zweite Steuerschaltung und an den zweiten Komparator angeschlossen ist und mit einem Drain-Anschluß an den Drain-Anschluß des PMOS-Transistors angeschlossen ist, wobei eine Verbindung zwischen den Drain-Anschlüssen des PMOS-Transistors und des NMOS-Transistors einen Ausgang der Aus-

gangstreiberschaltung bildet.

3. Ausgangstreiberschaltung nach Anspruch 2, bei der die erste Spannungsquelle ein Spannungspotential besitzt, das höher als das Spannungspotential der zweiten Spannungsquelle ist.

4. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der die erste Steuerschaltung einen digital niedrigen Wert ausgibt, wenn das erste Eingangssignal der Ausgangstreiberschaltung und das Ausgangssignal des zweiten Komparators digital niedrige Werte besitzen, und andernfalls einen digital hohen Wert ausgibt.

5. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, wobei die erste Steuerschaltung ein ODER-Gatter umfaßt.

6. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der die erste Steuerschaltung umfaßt:

ein Doppeleingang-NOR-Gatter, das mit einem ersten Eingang an den ersten Eingang der Ausgangstreiberschaltung angeschlossen ist und mit einem zweiten Eingang an den Ausgang des zweiten Komparators angeschlossen ist und einen Ausgang besitzt; und

einen Inverter, der mit einem Eingang an den Ausgang des Doppeleingang-NOR-Gatters angeschlossen ist und mit einem Ausgang an den Steueranschluß des ersten Transistors im Ausgangstransistorpaar angeschlossen ist.

7. Ausgangsschaltung nach einem vorhergehenden Anspruch, bei der die zweite Steuerschaltung einen digital hohen Wert ausgibt, wenn das zweite Eingangssignal der Ausgangstreiberschaltung und das Ausgangssignal des ersten Komparators digital hohe Werte besitzen, und andernfalls einen digital niedrigen Wert ausgibt.

8. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der die zweite Steuerschaltung ein AND-Gatter umfaßt

9. Ausgangsschaltung nach einem vorhergehenden Anspruch, bei der die zweite Steuerschaltung umfaßt:

ein Doppeleingang-NAND-Gatter, das mit einem ersten Eingang an den zweiten Eingang der Ausgangstreiberschaltung angeschlossen ist und mit einem zweiten Eingang an den Ausgang des ersten Komparators angeschlossen ist und einen Ausgang besitzt; und

einen Inverter, der mit einem Eingang an den Ausgang des NAND-Gatters angeschlossen ist und mit einem Ausgang an den Steueranschluß des zweiten Transistors des Ausgangstransistorpaares angeschlossen ist.

10. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der die Schaltung für den oberen Auslösepunkt einen digitalen hohen Wert ausgibt, wenn das Eingangssignal über ihren vorgegebenen Spannungswert ansteigt, und andernfalls einen digitalen niedrigen Wert ausgibt und die Schaltung für den unteren Auslösepunkt einen digitalen hohen Wert ausgibt, wenn das Eingangssignal über ihren vorgegebenen Spannungswert ansteigt, und andernfalls einen digitalen niedrigen Wert ausgibt, 5
11. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der der erste Komparator die Schaltung für den oberen Auslösepunkt, die mit ihrem ersten Eingang an den Eingang des ersten Komparators angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt, und die Schaltung für den unteren Auslösepunkt, die mit ihrem ersten Eingang an den Eingang des ersten Komparators angeschlossen ist, mit einem zweiten Eingang an den Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist und mit einem Ausgang an den zweiten Eingang der Schaltung für den oberen Auslösepunkt angeschlossen ist, umfaßt; 10
- und bei der der Ausgang der Schaltung für den oberen Auslösepunkt den Ausgang des ersten Komparators bildet. 15
12. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der der zweite Komparator die Schaltung für den oberen Auslösepunkt, die mit ihrem ersten Eingang an den Eingang des zweiten Komparators angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt, und die Schaltung für den unteren Auslösepunkt, die mit ihrem ersten Eingang an den Eingang des zweiten Komparators angeschlossen ist, mit einem zweiten Eingang an den Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist und mit einem Ausgang an den zweiten Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist, umfaßt; 20
- und bei der der Ausgang der Schaltung für den unteren Auslösepunkt den Ausgang des zweiten Komparators bildet. 25
13. Ausgangsschaltung nach einem vorhergehenden Anspruch, bei der die Schaltung für den oberen Auslösepunkt umfaßt: 30

einen ersten Widerstand, der zwischen einer ersten Spannungsquelle und einem Source-Anschluß eines PMOS-Transistors geschaltet ist;

wobei der PMOS-Transistor mit einem Gate-Anschluß an den Eingang des Komparators angeschlossen ist und einen Drain-Anschluß besitzt;

einen zweiten Widerstand, der zwischen dem Drain-Anschluß des PMOS-Transistors und einem Drain-Anschluß eines NMOS-Transistors geschaltet ist;

wobei der NMOS-Transistor mit einem Gate-Anschluß an den Ausgang der Schaltung für den unteren Auslösepunkt angeschlossen ist und mit einem Spannungsquellenanschluß an die zweite Spannungsquelle angeschlossen ist; und

einen Inverter, der mit einem Eingang an den Drain-Anschluß des PMOS-Transistors angeschlossen ist und wovon ein Ausgang einen Ausgang der Schaltung für den oberen Auslösepunkt bildet.

14. Ausgangstreiberschaltung nach einem vorhergehenden Anspruch, bei der die Schaltung für den unteren Auslösepunkt umfaßt: 35

einen PMOS-Transistor, der mit einem Source-Anschluß an die erste Spannungsquelle angeschlossen ist und mit einem Gate-Anschluß an einen Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist und einen Drain-Anschluß besitzt;

einen ersten Widerstand, der zwischen dem Drain-Anschluß des PMOS-Transistors und einem Drain-Anschluß eines NMOS-Transistors geschaltet ist;

wobei der NMOS-Transistor mit einem Gate-Anschluß an den Eingang des ersten Komparators angeschlossen ist und mit einem Source-Anschluß an einen zweiten Widerstand angeschlossen ist;

einen zweiten Widerstand, der zwischen dem Source-Anschluß des NMOS-Transistors und die zweite Spannungsquelle geschaltet ist; und

einen Inverter, der mit einem Eingang an den Drain des NMOS-Transistors angeschlossen ist und wovon ein Ausgang einen Ausgang der Schaltung für den unteren Auslösepunkt bildet. 55

15. Ausgangsschaltung nach Anspruch 13 oder Anspruch 14, bei der der Inverter mehrere Inverterelemente umfaßt.

16. Ausgangsschaltung nach einem vorhergehenden Anspruch,

bei der die Schaltung für den oberen Auslösepunkt einen digital hohen Wert ausgibt, wenn ihr Eingangssignal über ihren vorgegebenen Spannungswert ansteigt, und andernfalls einen digital niedrigen Wert ausgibt und die Schaltung für den unteren Auslösepunkt einen digital hohen Wert ausgibt, wenn ihr Eingangssignal über ihren vorgegebenen Spannungswert ansteigt und andernfalls einen digital niedrigen Wert ausgibt; und

wobei der Komparator ferner umfaßt:

eine dritte Steuerschaltung, die an die Schaltung für den oberen Auslösepunkt und an die Schaltung für den unteren Auslösepunkt angeschlossen ist und als Ausgangssignal des Komparators einen digitalen hohen Wert ausgibt, wenn die Schaltung für den oberen Auslösepunkt und die Schaltung für den unteren Auslösepunkt digitale hohe Werte ausgeben, einen digital niedrigen Wert ausgibt, wenn die Schaltung für den oberen Auslösepunkt und die Schaltung für den unteren Auslösepunkt digitale niedrige Werte ausgeben, und ihren digitalen Wert beibehält, wenn die Schaltung für den oberen Auslösepunkt einen digital niedrigen Wert ausgibt und die Schaltung für den unteren Auslösepunkt einen digital hohen Wert ausgibt.

17. Ausgangsschaltung nach Anspruch 16, bei der die dritte Steuerschaltung umfaßt:

ein erstes Doppeleingang-NOR-Gatter, das mit einem ersten Eingang an den Ausgang der Schaltung für den unteren Auslösepunkt angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt, wobei der Ausgang den Ausgang der dritten Steuerschaltung bildet;

ein zweites Doppeleingang-NOR-Gatter, das mit einem ersten Eingang an den Ausgang des ersten Doppeleingang-NOR-Gatters angeschlossen ist, einen zweiten Eingang besitzt und mit einem Ausgang an den zweiten Eingang des ersten Doppeleingang-NOR-Gatters angeschlossen ist; und

einen Inverter, der mit einem Eingang an den Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist und mit einem Ausgang an den zweiten Eingang des zweiten Dop-

peleingang-NGR-Gatters angeschlossen ist.

18. Ausgangstreiberschaltung, mit:

einem Ausgangstransistorpaar, das einen ersten und einen zweiten Transistor umfaßt, die zwischen einem ersten und einem zweiten Spannungspotential miteinander in Reihe geschaltet und so betreibbar sind, daß sie ein Ausgangssignal der Ausgangstreiberschaltung zwischen dem ersten und dem zweiten Spannungspotential umschalten;

ersten und zweiten Steuerschaltungen, wovon jede mit einem Ausgang an Steueranschlüsse des ersten bzw. des zweiten Transistors angeschlossen ist und wovon jede mit einem ersten Eingang an erste bzw. zweite Eingänge der Ausgangstreiberschaltung angeschlossen ist;

einem Komparator, der mit einem Eingang an den Steueranschluß des ersten oder des zweiten Transistors angeschlossen ist und mit einem Ausgang an einen zweiten Eingang der zweiten bzw. der ersten Steuerschaltung angeschlossen ist;

wobei:

der Komparator so beschaffen ist, daß er die Spannungen an den Steueranschlüssen des ersten oder des zweiten Transistors mit vorgegebenen Spannungspegeln vergleicht und über einen Ausgang das Ergebnis dieser Vergleiche den zweiten bzw. ersten Steuerschaltungen mitteilt; und

die ersten und zweiten Steuerschaltungen so beschaffen sind, daß sie die Spannungen an den Steueranschlüssen des ersten und des zweiten Transistors unter dem Einfluß des Ausgangssignals des Komparators in der Weise verändern, daß dann, wenn das Ausgangssignal der Ausgangstreiberschaltung seinen Zustand ändert, ein Transistor im Ausgangstransistorpaar sperrt, bevor der andere Transistor im Ausgangstransistorpaar durchschaltet,

dadurch gekennzeichnet, daß der Komparator umfaßt:

eine Schaltung für einen oberen Auslösepunkt, die mit einem ersten Eingang an den Eingang des Komparators angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt;

eine Schaltung für einen unteren Auslöse-

punkt, die mit einem ersten Eingang an den Eingang des Komparators angeschlossen ist, mit einem zweiten Eingang an den Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist und mit einem Ausgang an den zweiten Eingang der Schaltung für den oberen Auslösepunkt angeschlossen ist; und

wobei die Schaltung für den oberen Auslösepunkt einen digital hohen Wert ausgibt, wenn das Eingangssignal über eine vorgegebene Spannung ansteigt, und die Schaltung für unteren Auslösepunkt einen digital hohen Wert ausgibt, wenn das Eingangssignal über einen vorgegebenen Spannungswert ansteigt, und der Komparator ferner umfaßt:

eine dritte Steuerschaltung, die an die Schaltungen für den oberen und den unteren Auslösepunkt angeschlossen ist und als Ausgangssignal des Komparators einen digital hohen Wert ausgibt, wenn die Schaltung für den oberen Auslösepunkt und die Schaltung für den unteren Auslösepunkt digital hohe Werte ausgeben, einen digital niedrigen Wert ausgibt, wenn die Schaltung für den oberen Auslösepunkt und die Schaltung für den unteren Auslösepunkt digital niedrige Werte ausgeben, und ihren digitalen Wert beibehält, wenn die Schaltung für oberen Auslösepunkt einen digital niedrigen Wert ausgibt und die Schaltung für unteren Auslösepunkt einen digital hohen Wert ausgibt.

19. Ausgangsschaltung nach Anspruch 18, bei der die dritte Steuerschaltung umfaßt:

ein erstes Doppeleingang-NOR-Gatter, das mit einem ersten Eingang an den Ausgang der Schaltung für den unteren Auslösepunkt angeschlossen ist und einen zweiten Eingang sowie einen Ausgang besitzt, wobei der Ausgang den Ausgang der dritten Steuerschaltung bildet;

ein zweites Doppeleingang-NOR-Gatter, das mit einem Eingang an den Ausgang des ersten Doppeleingang-NOR-Gatters angeschlossen ist, einen zweiten Eingang besitzt und mit einem Ausgang an den zweiten Eingang des ersten Doppeleingang-NOR-Gatters angeschlossen ist; und

einen Inverter, der mit einem Eingang an den Ausgang der Schaltung für den oberen Auslösepunkt angeschlossen ist und mit einem Ausgang an dem zweiten Eingang des zweiten Doppeleingang-NOR-Gatters angeschlossen ist.

Revendications

1. Circuit d'attaque de sortie comprenant:

une paire de transistors de sortie comprenant des premier et second transistors couplés ensemble en série entre un premier et un second potentiels de tension et pouvant être commandés pour commuter une sortie du circuit d'attaque de sortie entre les premier et second potentiels de tension;

des premier et deuxième circuit de commande ayant chacun une sortie couplée à des bornes de commande respectivement des premier et second transistors et ayant chacun une première entrée couplée respectivement à des première et seconde entrées du circuit d'attaque de sortie;

des premier et second comparateurs ayant chacun une entrée couplée à la borne de commande respectivement des premier et second transistors et ayant chacun une sortie couplée à une seconde entrée respectivement du deuxième ou premier circuit de commande; dans lequel:

les premier et second comparateurs sont respectivement adaptés pour comparer les tensions aux bornes de commande des premier et second transistors avec des niveaux de tension prédéterminés et communiquer, par l'intermédiaire d'une sortie, le résultat de ces comparaisons aux deuxième et premier circuits de commande respectivement; et

les premier et deuxième circuits de commande sont agencés pour manipuler les tensions aux bornes de commande des premier et second transistors sous l'influence des sorties des second et premier comparateurs afin que, quand la sortie de circuit d'attaque de sortie change d'état, un transistor de la paire de transistors de sortie soit bloqué avant que l'autre transistor de la paire de transistors de sortie conduise,

caractérisé en ce que le premier ou le second comparateur, ou chacun de ceux-ci, comprend:

un circuit de point de déclenchement supérieur ayant une première entrée couplée à l'entrée de ce comparateur, une seconde entrée, et une sortie;

un circuit de point de déclenchement inférieur ayant une première entrée couplée à l'entrée du comparateur, une deuxième entrée couplée

- à la sortie du circuit de point de déclenchement supérieur, et une sortie couplée à la seconde entrée du circuit de point de déclenchement supérieur; et
 dans lequel la sortie du circuit de point de déclenchement supérieur réagit quand son entrée passe au-dessus d'une valeur de tension prédéterminée, la sortie du circuit de point de déclenchement inférieur réagit quand l'entrée passe au-dessus d'une valeur de tension prédéterminée et une des sorties ou les deux sorties de ces circuits de point de déclenchement est (sont) connectée(s) à la sortie du comparateur afin d'influencer le circuit de commande respectif de façon à garantir que, quand la sortie du circuit d'attaque de sortie change d'état, un transistor de la paire de transistors de sortie est bloqué avant le blocage de l'autre transistor de la paire de sortie.
2. Circuit d'attaque de sortie selon la revendication 1, dans lequel la paire de transistors de sortie comprend:
- un transistor PMOS ayant une borne de source couplée à une première source de tension, une borne de grille couplée au premier circuit d'attaque et au premier comparateur, et une borne de drain; et
 un transistor NMOS ayant une borne de source couplée à une seconde source de tension, une borne de grille couplée au deuxième circuit de commande et au second comparateur, et une borne de drain couplée à la borne de drain du transistor PMOS, dans lequel une connexion entre les bornes de drain du transistor PMOS et du transistor NMOS forme une sortie du circuit d'attaque de sortie.
3. Circuit d'attaque de sortie selon la revendication 2, dans lequel la première source de tension a un potentiel de tension supérieur au potentiel de tension de la seconde source de tension.
4. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le premier circuit de commande délivre une valeur numérique faible quand la première entrée du circuit d'attaque de sortie et la sortie du second comparateur ont des valeurs numériques faibles et sinon délivre une valeur numérique forte.
5. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le premier circuit de commande comprend une porte OU.
6. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le premier circuit de commande comprend:
- une porte NI à deux entrées ayant une première entrée couplée à la première entrée du circuit d'attaque de sortie, une deuxième entrée couplée à la sortie du second comparateur et une sortie; et
 un inverseur ayant une entrée couplée à la sortie de la porte NI à deux entrées et une sortie couplée à la borne de commande du premier transistor de la paire de transistors de sortie.
7. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le deuxième circuit de commande délivre une valeur numérique forte quand la seconde entrée du circuit d'attaque de sortie et la sortie du premier comparateur ont une valeur numérique forte et sinon délivre une valeur numérique faible.
8. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le deuxième circuit de commande comprend une porte ET.
9. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le deuxième circuit de commande comprend:
- une porte NON-ET à deux entrées ayant une première entrée couplée à la seconde entrée du circuit d'attaque de sortie, une seconde entrée couplée à la sortie du premier comparateur, et une sortie; et
 un inverseur ayant une entrée couplée à la sortie de la porte NON-ET et une sortie couplée à la borne de commande du second transistor de la paire de transistors de sortie.
10. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le circuit de point de déclenchement supérieur délivre une valeur numérique forte quand l'entrée passe au-dessus de sa valeur de tension prédéterminée et sinon une valeur numérique faible et, le circuit de point de déclenchement inférieur délivre une valeur numérique forte quand l'entrée passe au-dessus de sa valeur de tension prédéterminée et sinon une valeur numérique faible.
11. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le premier comparateur comprend ledit circuit de point de déclenchement supérieur ayant sa première entrée couplée à l'entrée du premier comparateur, une deuxième entrée, et une sortie, et ledit circuit de point de déclenchement inférieur ayant sa première entrée couplée à l'entrée du premier comparateur,

- une deuxième entrée couplée à la sortie du circuit de point de déclenchement supérieur, et une sortie couplée à la seconde entrée du circuit de point de déclenchement supérieur;
- et dans lequel la sortie du circuit de point de déclenchement supérieur forme la sortie du premier comparateur.
12. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le second comparateur comprend ledit circuit de point de déclenchement supérieur ayant sa première entrée couplée à l'entrée du second comparateur, une seconde entrée, et une sortie, et ledit circuit de point de déclenchement inférieur ayant sa première entrée couplée à l'entrée du second comparateur, une deuxième entrée couplée à la sortie du circuit de point de déclenchement supérieur, et une sortie couplée à la deuxième entrée du circuit de point de déclenchement inférieur;
- et dans lequel la sortie du circuit de point de déclenchement inférieur forme la sortie du second comparateur.
13. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le circuit de point de déclenchement supérieur comprend:
- une première résistance connectée entre une première source de tension et une borne de source d'un transistor PMOS;
- le transistor PMOS ayant une borne de grille connectée à l'entrée du comparateur, et une borne de drain;
- une seconde résistance connectée entre la borne de drain du transistor PMOS et une borne de drain d'un transistor NMOS;
- le transistor NMOS ayant une borne de grille connectée à la sortie du circuit de point de déclenchement inférieur, et une borne de source de tension connectée à la seconde source de tension; et
- un inverseur ayant une entrée connectée à la borne de drain du transistor PMOS et dont une sortie forme une sortie du circuit de point de déclenchement supérieur.
14. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le circuit de point de déclenchement inférieur comprend:
- un transistor PMOS ayant une borne de source connectée à la première source de tension, une borne de grille connectée à une sortie du circuit de point de déclenchement supérieur, et une borne de drain;
- une première résistance connectée entre la borne de drain du transistor PMOS et une borne de drain d'un transistor NMOS;
- le transistor NMOS ayant une borne de grille connectée à l'entrée du premier comparateur, et une borne de source connectée à une seconde résistance;
- une seconde résistance connectée entre la borne de source du transistor NMOS et la seconde source de tension; et
- un inverseur ayant une entrée connectée au drain du transistor NMOS et dont une sortie forme une sortie du circuit de point de déclenchement inférieur.
15. Circuit d'attaque de sortie selon la revendication 13 ou la revendication 14, dans lequel l'inverseur comprend une pluralité d'éléments inverseurs.
16. Circuit d'attaque de sortie selon l'une quelconque des revendications précédentes, dans lequel le circuit de point de déclenchement supérieur délivre une valeur numérique forte quand son entrée passe au-dessus de sa valeur de tension prédéterminée et sinon une valeur numérique faible et, le circuit de point de déclenchement inférieur délivre une valeur numérique forte quand son entrée passe au-dessus de sa valeur de tension prédéterminée et sinon une valeur numérique faible; et
- dans lequel ledit comparateur comprend de plus:
- un troisième circuit de commande couplé au circuit de point de déclenchement supérieur et au circuit de point de déclenchement inférieur qui délivre, comme sortie du comparateur, une valeur numérique forte quand le circuit de point de déclenchement supérieur et le circuit de point de déclenchement inférieur délivrent des valeurs numériques fortes, qui délivre une valeur numérique faible quand le circuit de point de déclenchement supérieur et le circuit de point de déclenchement inférieur délivrent des valeurs numériques faibles et qui conserve sa valeur numérique quand le circuit de point de déclenchement supérieur délivre une valeur numérique faible et le circuit de point de déclenchement inférieur délivre une valeur numérique forte.
17. Circuit d'attaque de sortie selon la revendication 16, dans lequel le troisième circuit de commande comprend:
- une première porte NI à deux entrées ayant une première entrée couplée à la sortie du circuit de point de déclenchement inférieur, une seconde entrée et une sortie, dans lequel la sortie forme la sortie du troisième circuit de commande;
- une seconde porte NI à deux entrées ayant une

première entrée couplée à la sortie de la première porte NI à deux entrées, une seconde entrée et une sortie couplée à la seconde entrée de la première porte NI à deux entrées; et un inverseur ayant une entrée couplée à la sortie du circuit de point de déclenchement supérieur et une sortie couplée à la seconde entrée de la seconde porte NI à deux entrées.

18. Circuit d'attaque de sortie comprenant:

une paire de transistors de sortie comprenant des premier et second transistors couplés ensemble en série entre un premier et un deuxième potentiels de tension et pouvant être commandés agissant pour commuter une sortie du circuit d'attaque de sortie entre les premier et second potentiels de tension;

des premier et deuxième circuits de commande ayant chacun une sortie couplée aux bornes de commande respectivement des premier et second transistors et ayant chacun une première entrée couplée respectivement à des première et seconde entrées du circuit d'attaque de sortie;

un comparateur ayant une entrée couplée à la borne de commande des premier et second transistors et ayant une sortie couplée à une seconde entrée respectivement des deuxième et premier circuits de commande;

le comparateur est adapté pour comparer les tensions aux bornes de commande des premier ou second transistors avec des niveaux de tension prédéterminés et communiquer, par l'intermédiaire d'une sortie, le résultat de ces comparaisons respectivement aux deuxième et premier circuits de commande; et

les premier et deuxième circuit de commande sont agencés pour manipuler les tensions aux bornes de commande des premier et second transistors sous l'influence de la sortie du comparateur afin que, quand la sortie du circuit d'attaque de sortie change d'état, un transistor de la paire de transistors de sortie soit bloqué avant que l'autre transistor de la paire de transistors de sortie conduise,

caractérisé en ce que le comparateur comprend:

un circuit de point de déclenchement supérieur ayant une première entrée couplée à l'entrée du comparateur, une seconde entrée, et une sortie;

un circuit de point de déclenchement inférieur ayant une première entrée couplée à l'entrée du comparateur, une seconde entrée couplée à la sortie du circuit de point de déclenchement supérieur, et une sortie couplée à la seconde entrée du circuit de point de déclenchement supérieur; et

dans lequel le circuit de point de déclenchement supérieur délivre une valeur numérique forte quand l'entrée passe au-dessus d'une tension prédéterminée, le circuit de point de déclenchement inférieur délivre une valeur numérique forte quand l'entrée passe au-dessus d'une valeur de tension prédéterminée, et le comparateur comprend en plus:

un troisième circuit de commande couplé aux circuits de point de déclenchement supérieur et inférieur qui délivre, comme sortie du comparateur, une valeur numérique forte quand le circuit de point de déclenchement supérieur et le circuit de point de déclenchement inférieur délivrent des valeurs numériques fortes, qui délivre une valeur numérique faible quand le circuit de point de déclenchement supérieur et le circuit de point de déclenchement inférieur délivrent des valeurs numériques faibles et qui conserve sa valeur numérique quand le circuit de point de déclenchement supérieur délivre une valeur numérique faible et le circuit de point de déclenchement inférieur délivre une valeur numérique forte.

19. Circuit d'attaque de sortie selon la revendication 18, dans lequel le troisième circuit de commande comprend:

une première porte NI à deux entrées ayant une première entrée couplée à la sortie du circuit de point de déclenchement inférieur, une seconde entrée et une sortie, dans lequel la sortie forme la sortie du troisième circuit de commande;

une deuxième porte NI à deux entrées ayant une première entrée couplée à la sortie de la première porte NI à deux entrées, une seconde entrée et une sortie couplée à la seconde entrée de la première porte NI à deux entrées; et un inverseur ayant une entrée couplée à la sortie du circuit de point de déclenchement supérieur et une sortie couplée à la seconde entrée de la deuxième porte NI à deux entrées.

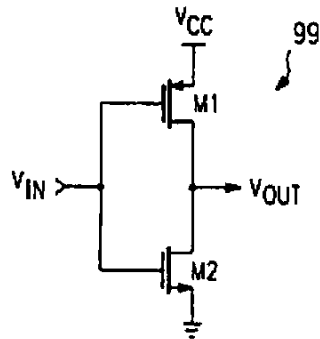


FIG. 1
(PRIOR ART)

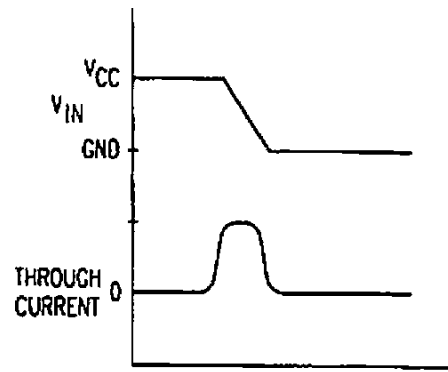


FIG. 1a

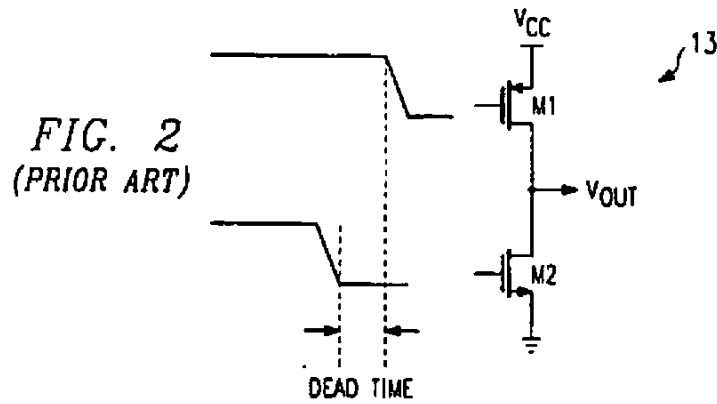


FIG. 2
(PRIOR ART)

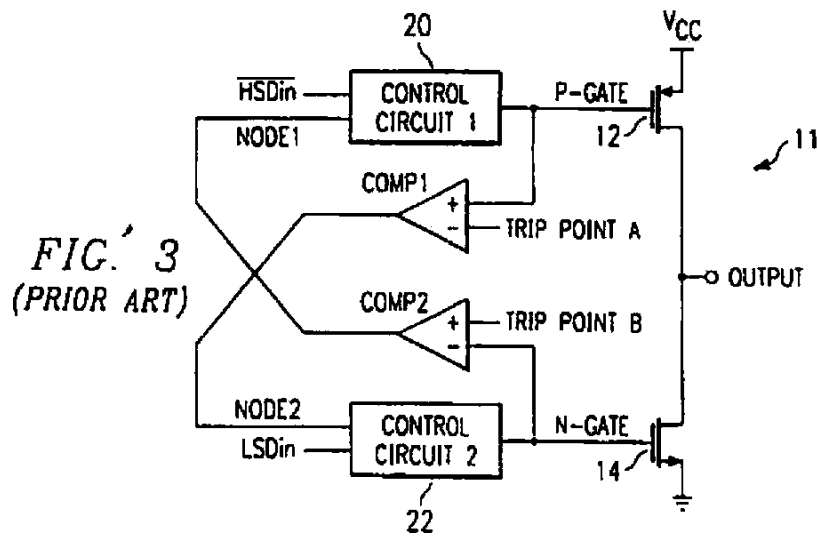


FIG. 3
(PRIOR ART)

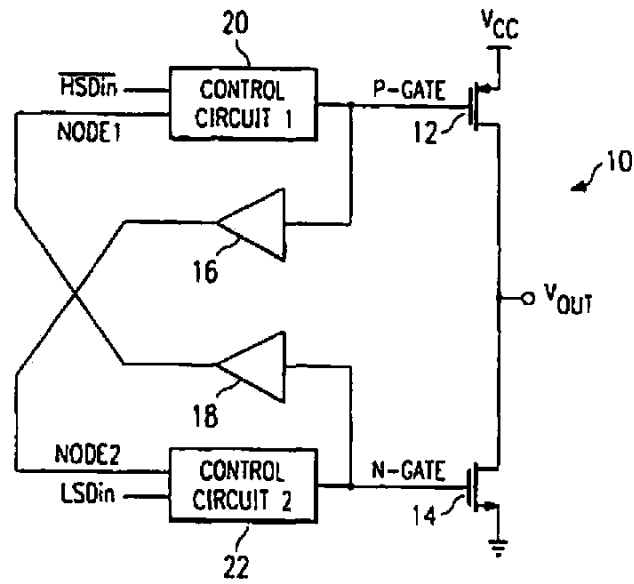


FIG. 4

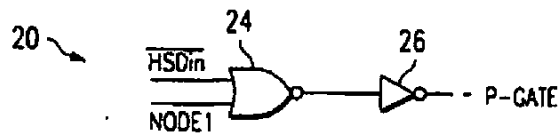


FIG. 5

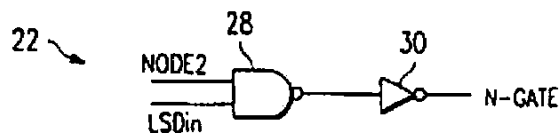


FIG. 5a

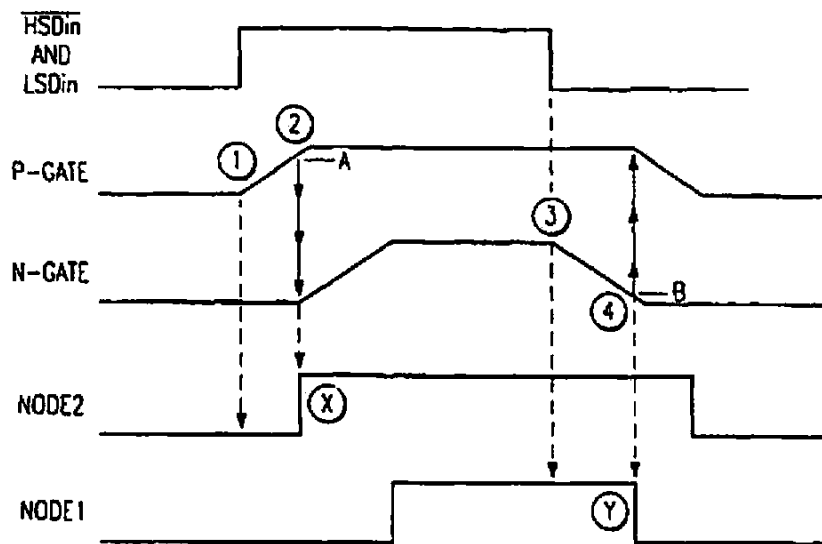


FIG. 6

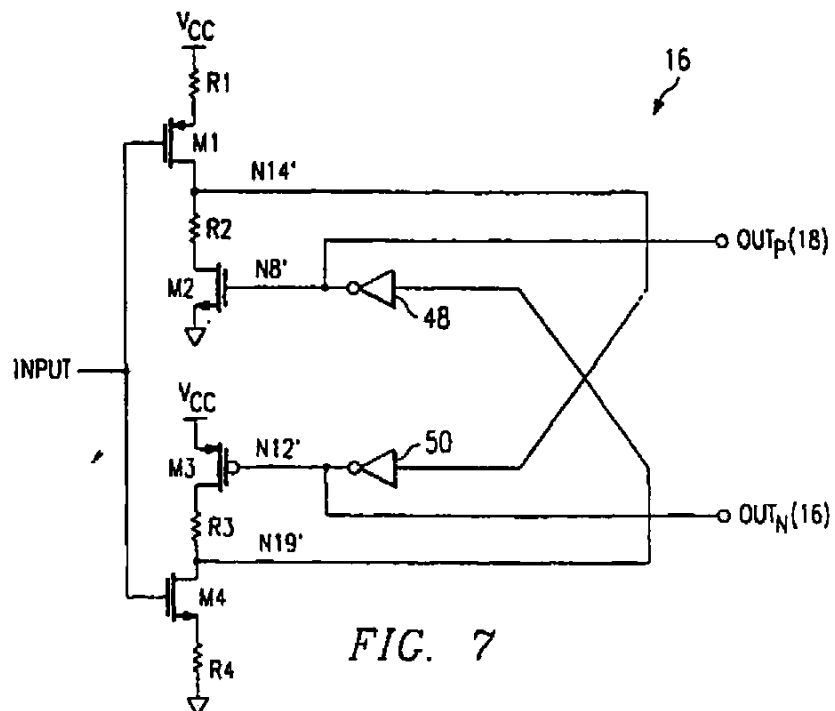


FIG. 7

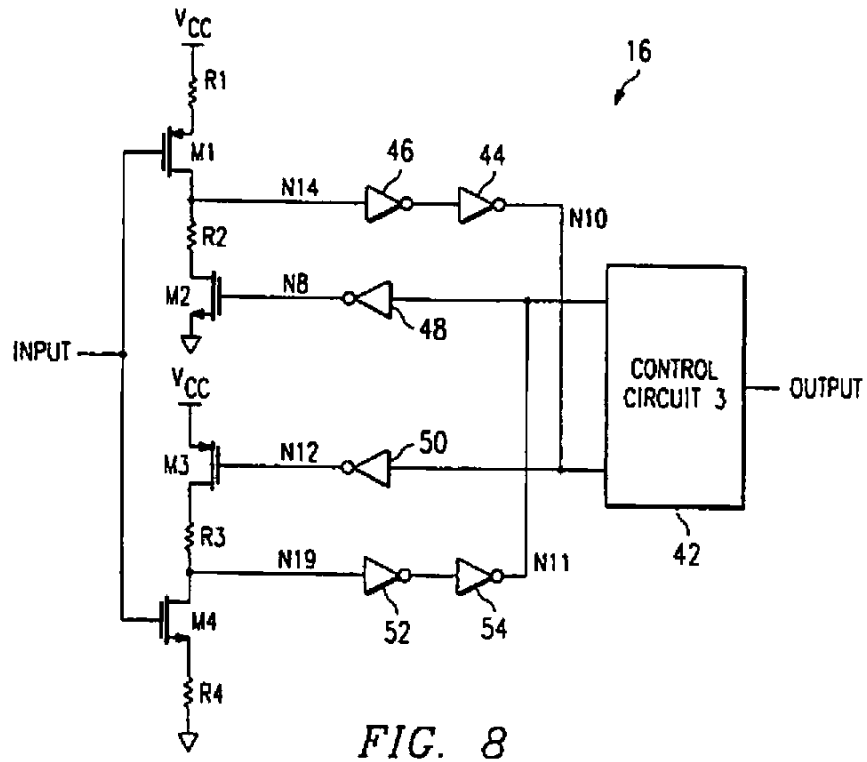


FIG. 8

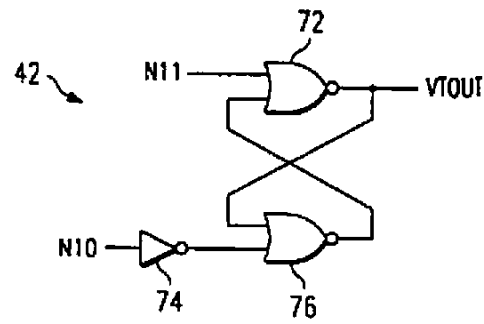


FIG. 9